

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317500

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 27/04		H 0 1 L 27/04	C
21/822		27/10	4 5 1
27/10	4 5 1		6 2 1 Z
27/108			6 5 1
21/8242		29/78	3 7 1
審査請求 未請求 請求項の数43 O L (全 22 頁) 最終頁に続く			

(21) 出願番号 特願平11-53239

(22) 出願日 平成11年(1999) 3 月 1 日

(31) 優先権主張番号 特願平10-52128

(32) 優先日 平10(1998) 3 月 4 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 天沼 一志

東京都港区芝五丁目7番1号 日本電気株式会社内

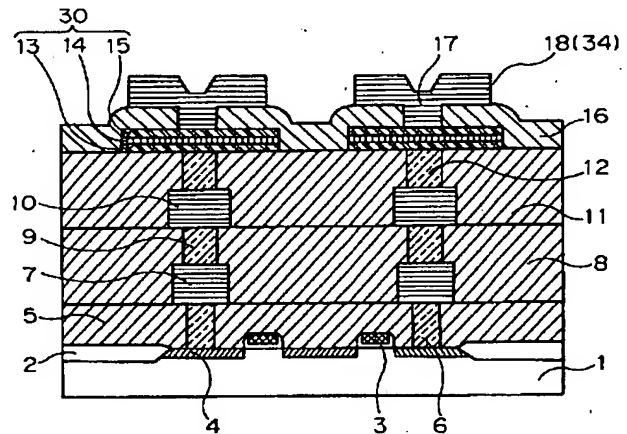
(74) 代理人 弁理士 天野 広

(54) 【発明の名称】 容量素子を有する半導体装置及びその製造方法

(57) 【要約】

【課題】 容易に多層メタル配線を形成でき、かつ、容量素子の劣化も生じないセラミック薄膜容量を用いた半導体装置を提供する。

【解決手段】 多層メタル配線の形成と同時に形成されたビア9とメタル配線7、10を積層した構造からなるプラグによって、セラミック薄膜容量30と拡散層4とを接続し、多層メタル配線の形成後であって、セラミック薄膜容量30の形成前に水素アニールを行う。多層メタル配線の形成後にセラミック薄膜容量30を形成するので、容量による高低差に起因して多層メタル配線の形成が妨げられることがない。また、容量形成後にタングステンプラグによるビアを形成する必要がない。そのため、タングステンのCVDにより容量が劣化することがない。さらに、論理回路部のプロセス・デバイスを何ら変更することなく容量を形成できるため、既存の設計パラメータを使用できる。



## 【特許請求の範囲】

【請求項1】 基板と、少なくとも1層のメタル配線と、セラミック薄膜容量を有する半導体装置において、前記セラミック薄膜容量は、下部電極、セラミック薄膜、上部電極がこの順に積層されてなり、前記下部電極、セラミック薄膜、上部電極が前記メタル配線よりも上部に形成されていることを特徴とする半導体装置。

【請求項2】 前記セラミック薄膜容量を構成する電極のうち、少なくとも一方の電極が配線を介して前記基板と接続されており、前記配線が少なくとも1層のメタル配線を含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記セラミック薄膜容量は前記基板と配線を介して接続されており、前記配線は、メタル配線と前記基板とを接続するコンタクト、メタル配線、該メタル配線と前記セラミック薄膜容量の1つの電極とを接続するビアを積層した構造、または、メタル配線と前記セラミック薄膜容量の1つの電極との間に少なくとも1つのメタル配線及びビアが積層された構造を有することを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記セラミック薄膜容量の少なくとも一方の電極が配線を介して前記基板と接続されており、前記配線は、少なくとも1層のメタル配線と、前記メタル配線よりも後に形成されたコンタクトであって、前記セラミック薄膜容量の電極の1つまたは前記メタル配線の何れか一方と前記基板とを接続するコンタクトと、を含む構造であることを特徴とする請求項1または3に記載の半導体装置。

【請求項5】 前記セラミック薄膜容量の少なくとも一方の電極が配線を介して前記基板と接続されており、前記配線は、少なくとも一つのコンタクトまたはビアを直接積層した構造を有することを特徴とする請求項1乃至4の何れか一項に記載の半導体装置。

【請求項6】 前記セラミック薄膜容量の上部に少なくとも一層のメタル配線がさらに形成されていることを特徴とする請求項1乃至5の何れか一項に記載の半導体装置。

【請求項7】 前記セラミック薄膜容量の上部に形成されたメタル配線は、少なくとも前記セラミック薄膜容量を含むメモリセルを備えたメモリのプレート線としてのみ用いられることを特徴とする請求項1乃至6の何れか一項に記載の半導体装置。

【請求項8】 前記セラミック薄膜容量の電極の1つを前記メタル配線または前記基板と接続するビアまたはコンタクトが前記セラミック薄膜容量の中央から偏心して配置されていることを特徴とする請求項1乃至7の何れ

か一項に記載の半導体装置。

【請求項9】 前記セラミック薄膜容量の上部に形成されているコンタクトは前記セラミック薄膜容量の下部に形成されているコンタクトとは偏心して配置されていることを特徴とする請求項1乃至8の何れか一項に記載の半導体装置。

【請求項10】 前記セラミック薄膜容量を形成する上部電極は下部電極よりも小さい面積を有して積層されていることを特徴とする請求項1乃至9の何れか一項に記載の半導体装置。

【請求項11】 前記セラミック薄膜容量は、層間絶縁膜上に間隔をあけて形成された複数の下部電極と、前記層間絶縁膜と前記下部電極の双方の全面を覆うセラミック薄膜と、前記下部電極の少なくとも一部を覆うように、前記セラミック薄膜上に形成されている上部電極と、からなるものであることを特徴とする請求項1乃至9の何れか一項に記載の半導体装置。

【請求項12】 前記セラミック薄膜容量とその下方の層間絶縁膜との間に拡散バリア膜が形成されていることを特徴とする請求項1乃至11の何れか一項に記載の半導体装置。

【請求項13】 前記セラミック薄膜容量の下部電極と前記セラミック薄膜容量の下方に位置するメタル配線とを接続するコンタクトと、前記メタル配線の下方に形成されているビアとは、前記メタル配線を介して、間隔をあけて配置されていることを特徴とする請求項1乃至12の何れか一項に記載の半導体装置。

【請求項14】 前記セラミック薄膜容量と前記基板との間には少なくとも二層のメタル配線が形成されており、上方のメタル配線はコンタクトを介して前記基板と直接接続されていることを特徴とする請求項1乃至13の何れか一項に記載の半導体装置。

【請求項15】 前記セラミック薄膜容量の上方にプレート線裏打ち配線が形成されていることを特徴とする請求項1乃至14の何れか一項に記載の半導体装置。

【請求項16】 ワード線の裏打ち配線が、前記セラミック薄膜容量よりも下方のメタル配線により形成されていることを特徴とする請求項1乃至15の何れか一項に記載の半導体装置。

【請求項17】 隣り合うワード線の裏打ち配線が少なくとも2層のメタル配線により形成されていることを特徴とする請求項16に記載の半導体装置。

【請求項18】 前記ワード線裏打ち配線を形成する2層のメタル配線が、メモリセルアレイ内において少なくとも1個所で交差されていることを特徴とする請求項17に記載の半導体装置。

【請求項19】 前記セラミック薄膜容量の上方には層間絶縁膜を介してメタル配線が形成されており、前記メ

タル配線は、その末端において、前記層間絶縁膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、前記セラミック薄膜容量の下方に形成されたメタル配線または基板と接続されていることを特徴とする請求項1乃至18の何れか一項に記載の半導体装置。

【請求項20】 前記セラミック薄膜容量の上方には層間絶縁膜を介してメタル配線が形成されており、前記メタル配線は、その末端において、前記層間絶縁膜に形成された凹部を介して、前記セラミック薄膜容量の下方に形成されたビアに接続され、前記ビアを介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項1乃至18の何れか一項に記載の半導体装置。

【請求項21】 前記セラミック薄膜容量の上方には層間絶縁膜を介してメタル配線が形成されており、前記メタル配線は、その末端において、前記層間絶縁膜及び前記セラミック薄膜容量のセラミック薄膜の双方にわたって形成された凹部を介して、前記セラミック薄膜容量の下部電極に接続され、前記下部電極を介して、前記セラミック薄膜容量の下方に形成されたビアに接続され、前記ビアを介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項1乃至18の何れか一項に記載の半導体装置。

【請求項22】 前記セラミック薄膜容量の上部電極は、その末端において、前記セラミック薄膜容量のセラミック薄膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項1乃至18の何れか一項に記載の半導体装置。

【請求項23】 前記セラミック薄膜容量の上部電極は、その末端において、前記セラミック薄膜容量のセラミック薄膜に形成された凹部を介して、前記セラミック薄膜容量の下部電極に接続され、前記下部電極を介して、前記セラミック薄膜容量の下方に形成されたビアに接続され、前記ビアを介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項1乃至18の何れか一項に記載の半導体装置。

【請求項24】 前記メタル配線がアルミニウムまたは銅を主成分とするものであることを特徴とする請求項1乃至23の何れか一項に記載の半導体装置。

【請求項25】 前記セラミック薄膜容量の電極の1つを前記メタル配線または前記基板と接続するビアまたはコンタクトがタングステンを主成分とするものであることを特徴とする請求項1乃至24の何れか一項に記載の半導体装置。

【請求項26】 前記セラミック薄膜容量の下部電極が

導電性窒化物を含むものであることを特徴とする請求項1乃至25の何れか一項に記載の半導体装置。

【請求項27】 前記導電性窒化物が窒化チタン、窒化タンタルまたは窒化タングステンであることを特徴とする請求項26に記載の半導体装置。

【請求項28】 前記セラミック薄膜容量の下部電極が前記導電性窒化物を含む層と貴金属層とを積層したものであることを特徴とする請求項26または27に記載の半導体装置。

10 【請求項29】 前記貴金属層が、白金、イリジウム、ルテニウムもしくはこれらの合金、またはこれらを積層したものであることを特徴とする請求項28に記載の半導体装置。

【請求項30】 少なくとも1層のメタル配線を形成する第一の過程と、  
前記第一の過程の後にセラミック薄膜容量を形成する第二の過程と、  
を含む半導体装置の製造方法。

20 【請求項31】 少なくとも1層のメタル配線を形成する第一の過程と、  
水素を含んだ雰囲気中でアニールを行う第二の過程と、  
前記第二の過程の後にセラミック薄膜容量を形成する第三の過程と、  
を含む半導体装置の製造方法。

【請求項32】 前記第二の過程におけるアニールは摂氏300度から摂氏500度の範囲の温度で行われることを特徴とする請求項31に記載の半導体装置の製造方法。

30 【請求項33】 少なくとも1層のメタル配線を形成する第一の過程と、  
セラミック薄膜容量の少なくとも一方の電極と基板とを接続する配線の一部としてのメタル配線を形成する第二の過程と、  
を含む半導体装置の製造方法。

【請求項34】 前記セラミック薄膜容量は、下部電極を形成する第一の過程と、  
前記下部電極上にセラミック薄膜を形成する第二の過程と、  
前記セラミック薄膜上に上部電極を形成する第三の過程と、

40 前記下部電極、前記セラミック薄膜及び前記上部電極をエッチングする第四の過程と、  
から形成されるものであることを特徴とする請求項30乃至33の何れか一項に記載の半導体装置の製造方法。

【請求項35】 前記セラミック薄膜容量は、下部電極を成膜し、これをエッチングする第一の過程と、  
前記下部電極上にセラミック薄膜を形成する第二の過程と、

50 前記セラミック薄膜上に上部電極を成膜し、これをエッ

チングする第三の過程と、

から形成されるものであることを特徴とする請求項30乃至33の何れか一項に記載の半導体装置の製造方法。

【請求項36】 前記セラミック薄膜は化学的気相成長により摂氏500度以下の温度で形成されることを特徴とする請求項34または35に記載の半導体装置の製造方法。

【請求項37】 前記下部電極と、前記下部電極の下方の層間絶縁膜との間に拡散バリア膜を形成する過程をさらに備えることを特徴とする請求項30乃至36の何れか一項に記載の半導体装置の製造方法。

【請求項38】 前記セラミック薄膜容量の上部に少なくとも一層のメタル配線をさらに形成する過程を備えることを特徴とする請求項30乃至37の何れか一項に記載の半導体装置の製造方法。

【請求項39】 前記セラミック薄膜容量の上部に形成される前記メタル配線は還元性の弱い雰囲気中で形成されることを特徴とする請求項38に記載の半導体装置の製造方法。

【請求項40】 前記セラミック薄膜容量上に層間絶縁膜を形成する過程と、

前記層間絶縁膜を介して前記セラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備え、

前記第一のメタル配線は、その末端においては、前記層間絶縁膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、前記セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、前記凹部内に形成されるものであることを特徴とする請求項30乃至39の何れか一項に記載の半導体装置の製造方法。

【請求項41】 前記セラミック薄膜容量上に層間絶縁膜を形成する過程と、

前記層間絶縁膜を介して前記セラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備え、

前記第一のメタル配線は、その末端においては、前記層間絶縁膜に凹部を形成した後に、前記凹部内に形成され、前記第一のメタル配線は、前記セラミック薄膜の下方に形成された第二のメタル配線と接続されていることを特徴とする請求項30乃至39の何れか一項に記載の半導体装置の製造方法。

【請求項42】 前記セラミック薄膜容量の上部電極は、その末端においては、前記セラミック膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、前記セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、前記凹部内に形成されるものであることを特徴とする請求項30乃至39の何れか一項に記載の半導体装置の製造方法。

【請求項43】 前記セラミック薄膜容量の上部電極は、その末端においては、前記セラミック膜に凹部を形成した後に、前記凹部内に形成され、前記上部電極は、前記セラミック薄膜容量の下部電極及び前記下部電極の下方に形成されたビアを介して、前記セラミック薄膜容量の下方に形成された第二のメタル配線と接続されていることを特徴とする請求項30乃至39の何れか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は容量素子を有する半導体装置に関し、特に、強誘電体容量及び高誘電率体容量を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、強誘電体容量を利用した強誘電体メモリや、高誘電率体容量を利用したダイナミック・ランダム・アクセス・メモリ(DRAM)等が活発に研究開発されている。これらの強誘電体メモリ及びDRAMは選択トランジスタを備えており、該選択トランジスタの一方の拡散層に接続された容量をメモリセルとして情報を貯えている。強誘電体容量は容量絶縁膜としてPb(Zr, Ti)O<sub>3</sub>(以下、「PZT」と呼ぶ)等の強誘電体薄膜を用いており、強誘電体を分極させることにより不揮発性の情報を貯えることができる。一方、高誘電率体容量は、容量絶縁膜として(Ba, Sr)TiO<sub>3</sub>(以下、「BST」と呼ぶ)等の高誘電率体薄膜を用いているため、容量のキャパシタンスを高めることができ、素子の微細化を可能にしている。

【0003】このような強誘電体容量及び高誘電率体容量を機能させるためには、前述のように、選択トランジスタの拡散層に容量のどちらか一方の電極を電気的に接続する必要がある。

【0004】従来、DRAMにおいては、選択トランジスタの一方の拡散層に接続されたポリシリコンを容量の一方の電極とし、該ポリシリコンの表面に容量の絶縁膜としてSiO<sub>2</sub>膜やSi<sub>3</sub>N<sub>4</sub>膜等を形成し、容量とする構造が一般的である。しかしながら、強誘電体薄膜や高誘電率体薄膜(以後、「セラミック薄膜」と呼ぶ)は酸化物であるため、ポリシリコンの表面に直接形成しようとするとポリシリコンが酸化されるため、良好な薄膜を形成することができない。

【0005】そのため、1995シンポジウム・オン・ブイエスアイ・ダイジェスト・オブ・テクニカル・ペーパーズ(1995 Symposium on VLSI Technology Digest of Technical Papers) pp. 123では、Al等からなるメタルの局所配線により、容量上部電極と拡散層とを接続するセル構造が述べられている。

【0006】また、インターナショナル・エレクトロニック・デバイセス・ミーティング・テクニカル・ダイジェス

ト(International electron devices meeting technical digest) 1994pp. 843にはポリシリコン上にTiNバリアメタルを用いてPZT容量を形成する技術が述べられている。

【0007】DRAMについては、例えば、インターナショナル・エレクトロン・デバイセス・ミーティング・テクニカル・ダイジェスト(International electron devices meeting technical digest) 1994 p. 841には、ポリシリコンプラグ上に形成されたRuO<sub>2</sub>/TiN下部電極上にSrTiO<sub>3</sub>薄膜を成膜し、容量を形成する技術が述べられている。

【0008】すなわち、これまでの強誘電体メモリ及びDRAMの形成においては、上記のように、容量を形成した後に、メタル配線が形成される方法が取られてきた。

【0009】

【発明が解決しようとする課題】しかしながら、上記のように容量を局所配線またはポリシリコンプラグ等で拡散層と接続するメモリセル構造には以下のような問題点があった。

【0010】第1の問題点は、多層メタル配線の形成が困難になることである。

【0011】強誘電体薄膜または高誘電率体薄膜を用いた強誘電体メモリやDRAMをより高集積化し、また、論理回路とこのようなメモリとを混載した半導体装置を実現するためには、多層メタル配線を形成する必要がある。多層メタル配線の形成に際しては、化学機械研磨法(CMP法)等によりメタル配線層間の絶縁膜を平坦化することが行われている。

【0012】しかしながら、容量の形成に起因して、容量のあるセルアレイ部と容量がない論理回路部との高低差が大きくなり、平坦化及び平坦化後のコンタクトやビアによる配線層の接続が困難になるという問題点がある。

【0013】特開平9-92794号公報は、セルとその周辺回路との間の段差を低減し、周辺回路における配線抵抗の小さい多層配線を形成することを目的として、半導体メモリの製造方法を開示している。

【0014】この製造方法においては、セルの容量の電極とセル領域以外の配線を同時に形成している。セラミック薄膜を用いた容量の電極には通常Pt等の貴金属が用いられるが、これらの貴金属は加工が難しく、また、配線としては高抵抗であるため、セル領域以外の配線として用いることは困難である。

【0015】第2の問題点は、論理回路とメモリとを混載した半導体装置を実現する際の設計コストが増加することである。

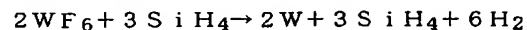
【0016】その理由は、上述の第1の問題点のために

論理回路のプロセス・デバイスを変更する必要が生じるため、既存の設計パラメータを使用することができなくなるからである。

【0017】第3の問題点は、多層メタル配線の形成プロセスにおいて、容量の電気的特性が劣化することである。

【0018】多層メタル配線において、メタル配線間を接続するビアには、通常、タングステンプラグが形成されているが、タングステン(W)の成膜は次式で表わされる反応において行われる。

【0019】



すなわち、タングステン(W)の成膜は非常に強い還元性雰囲気で行われる。セラミック薄膜は酸化物であるため、還元性雰囲気に曝されると、酸素欠損を生じる。そのため、抵抗の低下(結果的に、リーク電流の増大)、強誘電体分極量の減少、誘電率の低下その他の電気的特性の劣化を生じるという問題点がある。

【0020】特開平9-199679号公報は、還元雰囲気を回避し、かつ、深いコンタクトホールの埋め込みを可能にする半導体装置の構造を提案している。この半導体装置においては、記憶回路部の拡散層とCMOS回路部の拡散層に至る開口部に耐熱性金属からなるプラグコンタクトを形成した後、強誘電体容量を形成し、さらに、耐熱性金属プラグコンタクトに対してアルミ配線が形成される。

【0021】しかしながら、このような半導体装置の構造を実現するためには、複雑な製造工程を必要とする。また、この半導体装置の構造は第1層のメタル配線に対しては適用することができるが、第2層のメタル配線と第1層のメタル配線を接続するビアにはタングステンの成膜が必要であるため、多層のメタル配線に対しては、解決策とはなり得ない。

【0022】第4の問題点は、トランジスタのしきい値(V<sub>t</sub>)のばらつきが生じたり、サブスレッショルド特性が劣化することである。

【0023】プラズマ・エッチングにおけるプラズマ・ダメージ等によりMOS型トランジスタのゲート酸化膜中に生じた界面準位や固定電荷により、トランジスタのしきい値(V<sub>t</sub>)にばらつきが生じたり、サブスレッショルド特性が劣化する。

【0024】これらを改善する手法として、水素を含んだ雰囲気中でのアニール(水素アニール)が従来から行われている。しかし、セラミック薄膜を用いた容量素子を有する半導体装置については、第3の問題点で述べたように、容量素子を形成した後にこのようなアニールを行うと、容量の電気的特性の劣化を生じるため、容量素子の形成後はこのようなアニールは行うことができない。

【0025】そこで、例えば、特開平7-111318

号公報には、容量上に $\text{Si}_3\text{N}_4$ 等の水素バリア膜を設ける技術が開示されている。この技術は、水素バリア膜を容量上に設けることにより、容量への水素の拡散を防止し、もって、還元性雰囲気における容量素子の劣化を防ぐものである。

【0026】しかしながら、この技術においては、水素バリア膜を形成及び加工する過程が増加するため、工程数の増加ひいては製造コストの増加という新たな問題をもたらしている。

【0027】しかも、より高集積化・微細化した素子にこの技術を適用する場合には、水素バリア膜にも薄膜化が求められる。しかしながら、水素バリア膜を薄膜化すると、水素バリア性が不十分になるという問題を引き起こす。

【0028】一方、近年の半導体装置の大規模化・高速化及び素子の微細化に伴い、トランジスタ特性のばらつき低減はますます重要となっている。

【0029】第5の問題点は、従来のように、容量を形成した後に、メタル配線及びメタル配線と基板とを接続するコンタクトを形成すると、容量特性の劣化及び容量と他の素子を接続する配線抵抗の増加を引き起こすことである。

【0030】通常、メタル配線と基板とを接続するコンタクトを形成する際には、メタル配線と基板との間の抵抗を低減するため、コンタクトを開孔した後に、イオン注入を行っている。そのため、イオン注入後において、イオン活性化のために、700℃程度またはそれ以上の温度での熱処理を行うことを必要とする。

【0031】しかしながら、セラミック薄膜容量を形成した後にそのような高温の熱処理を行うと、セラミック、電極及び配線が相互反応及び相互拡散を起こす。このため、上述のように、容量特性の劣化や配線抵抗の増加が起こる。

【0032】このような容量素子形成後の高温熱処理による容量素子の劣化を解決する方法として、特開平6-85187号には、メタル配線を形成後に容量を形成する半導体記憶装置の製造方法が述べられている。この製造方法によれば、メタル配線形成後に容量の蓄積電極と基板の拡散層を接続するコンタクトを開口し、その後容量蓄積電極を形成することにより、容量素子と基板とを接続している。

【0033】しかしながら、このような構造では、メタル配線が2層あるいはそれ以上の場合には、コンタクトホールが著しく深くなり、その中に容量の蓄積電極を形成することは著しく極めて困難であるという問題を伴う。

【0034】以上のような問題点により、多層メタル配線構造を用いた強誘電体メモリやセラミック薄膜容量DRAMは未だ実現されていない。

【0035】本発明は以上のような従来の容量素子有

する半導体装置における問題点に鑑みてなされたものであり、容易に多層メタル配線を形成でき、かつ、容量素子の劣化を生じないセラミック薄膜容量を用いた半導体装置を提供することを目的とする。

【0036】また、本発明は、低コストで論理回路とセラミック薄膜容量を用いたメモリとを混載したチップを実現し得る半導体装置を提供することを目的とする。

【0037】さらに本発明は、セラミック薄膜容量を用い、かつ、良好なトランジスタ特性を有する半導体装置を提供することを目的とする。

【0038】

【課題を解決するための手段】本発明による半導体装置は、従来のように、容量を局所配線またはポリシリコンプラグ等で拡散層と接続するメモリセル構造に対し、多層メタル配線の形成と同時に形成されたビアとメタル配線を積層した構造からなるプラグによって、容量と拡散層を接続するメモリセル構造としたことを特徴としている。

【0039】従って、容量による高低差のために、多層メタル配線の形成が妨げられることがない。また、論理回路部のプロセス・デバイスを何ら変更することなく容量を形成することができるため、既存の設計パラメータをそのまま使用することができる。

【0040】具体的には、本発明のうち、請求項1は、基板と、少なくとも1層のメタル配線と、下部電極、セラミック薄膜、上部電極がこの順に積層されてなるセラミック薄膜容量を有する半導体装置において、セラミック薄膜容量を構成する下部電極、セラミック薄膜、上部電極が、少なくとも1層のメタル配線より上部に形成されていることを特徴とする半導体装置を提供する。

【0041】請求項2に記載されているように、セラミック薄膜容量を構成する電極のうち、少なくとも一方の電極が配線を介して基板と接続されており、その配線が少なくとも1層のメタル配線を含むように構成することが好ましい。

【0042】また、配線を介してセラミック薄膜容量と基板とを接続させる場合、請求項3に記載されているように、該配線は、メタル配線と基板とを接続するコンダクト、メタル配線、該メタル配線とセラミック薄膜容量の1つの電極とを接続するビアを積層した構造、または、メタル配線とセラミック薄膜容量の一つの電極との間に少なくとも一つのメタル配線及びビアが積層された構造を有するように構成することが好ましい。

【0043】あるいは、請求項4に記載されているように、セラミック薄膜容量の少なくとも一方の電極を配線を介して基板と接続させる場合には、該配線は、少なくとも一層のメタル配線と、該メタル配線よりも後に形成されたコンタクトであって、セラミック薄膜容量の電極の一つまたはメタル配線の何れか一方と基板とを接続するコンタクトと、を含む構造とすることが好ましい。



【0044】あるいは、請求項5に記載されているように、セラミック薄膜容量の少なくとも一方の電極を配線を介して基板と接続させる場合には、該配線は、少なくとも一つのコンタクトまたはビアを直接積層した構造を有することが好ましい。

【0045】請求項1乃至5に示したこれらの具体的な構造により、上述の効果を達成することができる。

【0046】請求項6に記載されているように、セラミック薄膜容量の上部に少なくとも一層のメタル配線をさらに形成することも可能である。

【0047】これによって、さらに、多層のメタル配線を形成することができる。特に、近年の大規模LSIにおける多層メタル配線においては、一般的に、上層の配線では、下層の配線と比較して、配線幅や配線間スペースが大きくなっている。このため、メタル配線層間にセラミック薄膜容量を形成しても、それによって生じる段差が上層のメタル配線形成に悪影響を及ぼすことはない。

【0048】また、請求項7のように、セラミック薄膜容量の上部に形成されたメタル配線は、少なくともセラミック薄膜容量を含むメモリセルを備えたメモリのプレート線としてのみ用いられることが好ましい。

【0049】また、請求項8に記載されているように、セラミック薄膜容量の電極の一つをメタル配線または基板と接続するビアまたはコンタクトがセラミック薄膜容量の中央から偏心しているように形成することが好ましい。すなわち、ビアまたはコンタクトがセラミック薄膜容量の中央に形成されていないことが好ましい。

【0050】このような構成により、セル面積を増加させることなく、容量の面積を増加させることができる。

【0051】また、請求項9に記載されているように、セラミック薄膜容量の上部に形成されているコンタクトはセラミック薄膜容量の下部に形成されているコンタクトとは偏心するように配置することが好ましい。

【0052】かかる構成により、容量上部のコンタクトと容量との間のマージンを大きくすることができる。

【0053】セラミック薄膜容量は種々の形態に形成することが可能である。

【0054】例えば、請求項10に記載されているように、セラミック薄膜容量を形成する上部電極は下部電極よりも小さい面積を有して積層されているように形成することができる。

【0055】このような構成とすることにより、上部電極と下部電極が容量側壁において、短絡することを防止することができる。

【0056】あるいは、請求項11に記載されているように、セラミック薄膜容量は、層間絶縁膜上に間隔をあけて形成された複数の下部電極と、層間絶縁膜と下部電極の双方の全面を覆うセラミック薄膜と、下部電極の少なくとも一部を覆うようにセラミック薄膜上に形成され

ている上部電極と、から構成することも可能である。

【0057】この形態によれば、セラミック薄膜を所定の大きさに加工する必要がないため、製造過程をその分だけ簡略化することができる。

【0058】請求項12に記載されているように、セラミック薄膜容量とその下方の層間絶縁膜との間には、拡散バリア膜を形成することもできる。

【0059】特に、下部電極を加工した後に、セラミック薄膜を形成する場合には、セラミック薄膜を構成する元素が層間絶縁膜中に拡散するおそれがあるので、拡散バリア膜を形成することにより、かかる拡散を防止することができる。

【0060】請求項13に記載されているように、セラミック薄膜容量の下部電極と該セラミック薄膜容量の下方に位置するメタル配線とを接続するコンタクトと、該メタル配線の下方に形成されているビアとは、該メタル配線を介して、間隔をあけて配置させることが好ましい。

【0061】ビア及びメタル配線の形成プロセスによっては、ビア上のメタル配線にへこみを生じることがある。このように平坦でないメタル配線上にコンタクトやビアを形成すると、良好な電氣的接続が得られない場合がある。このため、コンタクトをビアの直上ではなく、ある程度離れた位置に形成することにより、電氣的接続の不良を防止することができる。

【0062】セラミック薄膜容量と基板との間に少なくとも二層のメタル配線を形成した場合、請求項14に記載されているように、上方のメタル配線はコンタクトを介して基板と直接接続させることも可能である。

【0063】かかる構成によれば、下方のメタル配線は、例えば、セル内のビット配線としてのみ用いることができるため、セル面積を縮小させることができる。

【0064】請求項15に記載されているように、セラミック薄膜容量の上方にプレート線裏打ち配線を形成することも可能である。

【0065】かかる構成によれば、プレート線の配線抵抗を減少させることができる。

【0066】また、請求項16に記載されているように、ワード線の裏打ち配線が、セラミック容量よりも下方のメタル配線により形成することもできる。

【0067】この場合、請求項17に記載されているように、隣り合うワード線の裏打ち配線が少なくとも二層のメタル配線により形成されることが好ましい。

【0068】さらに、請求項18に記載されているように、ワード線裏打ち配線を形成する二層のメタル配線は、メモリセルアレイ内において少なくとも一個所で交差されていることが、雑音を低減できるため、好ましい。

【0069】請求項19に記載されているように、セラミック薄膜容量の上方に層間絶縁膜を介してメタル配線

を形成する場合、該メタル配線は、その末端において、層間絶縁膜及びセラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させることができる。

【0070】あるいは、請求項20に記載されているように、メタル配線は、その末端において、層間絶縁膜に形成された凹部を介して、セラミック薄膜容量の下方に形成されたビアに接続され、該ビアを介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と

接続させるようにしてもよい。  
【0071】あるいは、請求項21に記載されているように、メタル配線は、その末端において、層間絶縁膜及びセラミック薄膜容量のセラミック薄膜の双方にわたって形成された凹部を介して、セラミック薄膜容量の下部電極に接続され、該下部電極を介して、セラミック薄膜容量の下方に形成されたビアに接続され、該ビアを介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させるようにしてもよい。

【0072】これら三つの何れかの形態により、上記のメタル配線と拡散層との間の接続を行えば、セラミック薄膜容量の形成後に、タングステン(CVD)を用いる必要がなくなり、セラミック薄膜容量の劣化を防止することができる。

【0073】上部電極をプレート線として用いる場合、請求項22に記載されているように、該上部電極は、その末端において、セラミック薄膜容量のセラミック薄膜及び該セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させることができる。

【0074】あるいは、請求項23に記載されているように、上部電極は、その末端において、セラミック薄膜容量のセラミック薄膜に形成された凹部を介して、セラミック薄膜容量の下部電極に接続され、該下部電極を介して、セラミック薄膜容量の下方に形成されたビアに接続され、該ビアを介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させるようにしてもよい。

【0075】請求項24に記載されているように、メタル配線は、例えば、アルミニウムまたは銅を主成分とすることができる。

【0076】また、請求項25に記載されているように、セラミック薄膜容量の電極の一つをメタル配線または基板と接続するビアまたはコンタクトは、例えば、タングステンを主成分とすることができる。

【0077】セラミック薄膜容量の下部電極は、請求項26に記載されているように、導電性窒化物を含むものとすることができる。

【0078】また、請求項27に記載されているよう

に、導電性窒化物は窒化チタン、窒化タンタルまたは窒化タングステンであることが好ましい。

【0079】さらに、請求項28に記載されているように、下部電極は導電性窒化物を含む層と貴金属層とを積層した構成とすることができる。

【0080】この場合、貴金属層は、請求項29に記載されているように、白金、イリジウム、ルテニウムもしくはこれらの合金、または、これらを積層したものであることが好ましい。

10 【0081】請求項30は、少なくとも一層のメタル配線を形成する第一の過程と、該第一の過程の後にセラミック薄膜容量を形成する第二の過程と、からなる半導体装置の製造方法を提供する。

【0082】この請求項30に係る方法により、上述の請求項1に係る半導体装置を形成することができる。

【0083】さらに、本方法によれば、多層メタル配線を形成した後に、セラミック薄膜容量を形成するため、セラミック薄膜容量形成後にタングステンプラグによるビアを形成する必要がない。そのため、タングステンのCVDによりセラミック薄膜容量が劣化することがない。

【0084】また、メタル配線と基板とのコンタクトもセラミック薄膜容量の形成前に形成されるため、コンタクト注入後の活性化に起因するセラミック薄膜容量の劣化や配線抵抗の増加を防止することができる。

【0085】また、請求項31に記載されているように、上述の方法は、水素を含んだ雰囲気中でアニールを行う過程を備えていることが好ましい。

30 【0086】この水素アニールにより、トランジスタの劣化を低減することができる。

【0087】この水素アニールの温度は、請求項32に記載されているように、摂氏300度から摂氏500度の範囲であることが好ましい。

【0088】摂氏300度以下ではトランジスタ特性の改善の効果が小さく、摂氏500度以上ではメタル配線の断線を引き起こすおそれがあるためである。

40 【0089】また、請求項33は、少なくとも一層のメタル配線を形成する第一の過程と、セラミック薄膜容量の少なくとも一方の電極と基板とを接続する配線の一部としてのメタル配線を形成する第二の過程と、からなる半導体装置の製造方法を提供する。

【0090】この方法により、請求項2に係る半導体装置を製造することができる。

【0091】セラミック薄膜容量は種々の方法で形成することができる。

【0092】例えば、セラミック薄膜容量は、請求項34に記載されているように、下部電極を形成する第一の過程と、下部電極上にセラミック薄膜を形成する第二の過程と、セラミック薄膜上に上部電極を形成する第三の過程と、下部電極、セラミック薄膜及び上部電極をエッ



チングする第四の過程と、から形成することができる。

【0093】あるいは、請求項35に記載されているように、下部電極を成膜し、これをエッチングする第一の過程と、下部電極上にセラミック薄膜を形成する第二の過程と、セラミック薄膜上に上部電極を成膜し、これをエッチングする第三の過程と、から形成することもできる。

【0094】これらの場合、請求項36に記載されているように、セラミック薄膜は摂氏500度以下の温度で形成されることが好ましい。

【0095】通常のゾル・ゲル法やスパッタリング法では、良好なセラミック薄膜を得るためには、摂氏600度以上における成膜が必要であるが、そのような高温では、メタル配線の断線や高抵抗化を招く。このため、CVD法を用いることにより、摂氏500度以下の低温で成膜することができる。

【0096】請求項35に記載した方法のように、下部電極を加工した後に、セラミック薄膜を形成する場合には、請求項37に記載したように、下部電極と、該下部電極の下方の層間絶縁膜との間に拡散バリア膜を形成する過程をさらに備えることが好ましい。

【0097】請求項38に記載されているように、セラミック薄膜容量の上部に少なくとも一層のメタル配線をさらに形成してもよい。

【0098】これにより、さらに多層のメタル配線層を形成することができる。

【0099】この場合、請求項39に記載されているように、セラミック薄膜容量の上部に形成されるメタル配線は還元性の弱い雰囲気中で形成されることが好ましい。

【0100】これにより、メタル配線の下方に位置するセラミック薄膜容量の劣化を防止することができる。

【0101】請求項40は、セラミック薄膜容量上に層間絶縁膜を形成する過程と、層間絶縁膜を介してセラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備える半導体装置の製造方法であって、第一のメタル配線は、その末端においては、層間絶縁膜及びセラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、凹部内に形成されるものである方法を提供する。

【0102】この方法により、請求項19に係る半導体装置を提供することができる。

【0103】請求項41は、セラミック薄膜容量上に層間絶縁膜を形成する過程と、層間絶縁膜を介してセラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備える半導体装置の製造方法であって、第一のメタル配線は、その末端においては、層間絶縁膜に凹部を形成した後に、該凹部内に形成され、該第一のメタル配線はセラミック薄膜の下方に形成された第二のメタル配線と接続されているものである方法を提供す

る。

【0104】この方法により、請求項20または請求項21に係る半導体装置を提供することができる。

【0105】請求項42は、セラミック薄膜容量の上部電極は、その末端においては、セラミック膜及び該セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、前記凹部内に形成されるものであることを特徴とする半導体装置の製造方法を提供する。

【0106】この方法により、請求項22に係る半導体装置を提供することができる。

【0107】請求項43は、セラミック薄膜容量の上部電極は、その末端においては、セラミック膜に凹部を形成した後に、該凹部内に形成され、該上部電極は、セラミック薄膜容量の下部電極及び該下部電極の下方に形成されたビアを介して、セラミック薄膜容量の下方に形成された第二のメタル配線と接続されているものである方法を提供する。

【0108】この方法により、請求項23に係る半導体装置を提供することができる。

【0109】

【発明の実施の形態】（第一の実施形態）図1には、本発明に係る第一の実施形態としての強誘電体メモリまたはDRAMのメモリセルの一部分の平面図が示されている。図1（A）は第一メタル配線を形成した後までのメモリセルを上方から見たときの平面図であり、図1

（B）は第一メタル配線を形成した以降におけるメモリセルを上方から見たときの平面図である。図2は、図1（A）のA-A線に沿った断面図である。また、図3は図1に示したメモリセルの回路図である。

【0110】図3に示すように、メモリセル32は選択トランジスタ31とセラミック薄膜容量30とを備えている。選択トランジスタ31のゲートはワード線33に、ソースまたはドレインの何れか一方はビット線35に、他方はセラミック薄膜容量30を介してプレート線34にそれぞれ接続されている。

【0111】図2に示すように、シリコン基板1上には図3に示した選択トランジスタ31としてのMOS型トランジスタが形成されている。このMOS型トランジスタ上には、Ti等のバリアメタルとAlまたはCuを主成分とする合金とからなる第1メタル配線7が設けられており、タングステンプラグ等からなるコンタクト6を介して、MOS型トランジスタのそれぞれの拡散層4と接続されている。

【0112】図1に示した二つの第1メタル配線7のうち、一方の第1メタル配線7はセラミック薄膜容量30と選択トランジスタ31とを接続する配線として用いられ、他方の第1メタル配線7はビット線35として用いられている。第1メタル配線7の上には、第1メタル配

線7と同様にTi等のバリアメタルとAlまたはCuを主成分とする合金とからなる第2メタル配線10が設けられており、第2メタル配線10は、コンタクト6と同様にタングステンプラグ等からなるビア9を介して、第1メタル配線7と電気的に接続している。このように、本実施形態に係るメモリセル32においては、第1メタル配線7及び第2メタル配線10からなる多層メタル配線構造が形成されている。

【0113】この多層メタル配線構造上には、セラミック薄膜容量30が設けられている。セラミック薄膜容量30は、下部電極13と、セラミック薄膜14と、上部電極15とがこの順に積層されて構成されている。

【0114】セラミック薄膜容量30の下部電極13は、容量下部コンタクト12を介して第2メタル配線10と接続している。この結果、図3におけるセラミック薄膜容量30と選択トランジスタ31との間の接続がなされたことになる。

【0115】セラミック薄膜容量30上には容量上部コンタクト17を介して第3メタル配線18が形成されている。第3メタル配線18は図3におけるプレート線34として用いられる。

【0116】このように、本実施形態におけるメモリセル32の第2メタル配線10よりも下方の構造は、通常のセラミック薄膜容量素子を持たないLSIと全く同一である。従って、LSIと同様の製造過程で製造することができる。

【0117】従って、本実施形態によれば、このようなメモリセル32を用いた強誘電体メモリまたはDRAMと通常のロジックLSIとを一チップ上に混載した半導体装置を、既存のロジック回路を用いて、低コストで実現できるという効果がもたらされる。

【0118】なお、強誘電体メモリまたはDRAMに用いられるメモリセルのセルトランジスタ31と通常のロジック回路のトランジスタとは求められる特性が異なる。そのため、セルトランジスタ31はロジック回路のトランジスタとは異なった構造とする場合がある。例えば、ワード線33はメモリ回路の動作電圧よりも高い電圧を印加することが一般に行われているため、ゲート膜厚を他のロジック回路のトランジスタよりも厚くする必要がある場合がある。このように、構造の異なったトランジスタを同一基板上に形成することは、例えば、日経マイクロデバイス1995年3月号55ページに述べられているように一般に行われており、通常のロジック回路の製造過程を用いて実現することができる。

【0119】本実施形態に係るメモリセル32を備えた半導体装置を製造する方法を図4乃至図6に示す。

【0120】先ず、図4(A)に示すように、通常のLSIの製造過程により、シリコン基板1上にメモリセル部及びロジック回路部等のMOSトランジスタを形成する。すなわち、シリコン基板1上に酸化膜2を形成し、

酸化膜2によって素子形成領域を画定し、次いで、ゲート電極3及び拡散層4を形成する。さらに、シリコン基板1上に第1層間絶縁膜5を成膜する。成膜した第1層間絶縁膜5は、CMP法、リフロー法等により平坦化する。

【0121】次に、第1メタル配線7と、第1メタル配線7と拡散層4とを接続するコンタクト6を形成する。

【0122】これらの形成方法としては、タングステンプラグ等によりコンタクト6を形成した後、第1メタル配線7を成膜・加工する方法と、層間絶縁膜5をコンタクト6及び第1メタル配線7の形状に加工した後、メタルを埋め込み、その後、余分なメタルを除去してコンタクト6と第1メタル配線7とを同時に形成するデュアルダマシン法とがある。

【0123】前者の場合、コンタクト6をエッチングにより開孔した後、コンタクト注入及び活性化を行い、Ti、TiN等のバリアメタルを成膜する。その後、CVD法によりウェハ全面にタングステンを成膜し、次いで、CMP法やエッチバックにより表面のタングステンを除去してタングステンプラグを形成する。タングステンプラグは、タングステンの選択成長により形成することもできる。

【0124】次いで、図4(B)に示すように、コンタクト6の上に第1メタル配線7を形成する。第1メタル配線7はTi、TiN等のバリアメタル、Al、Cu等を主成分とする合金層、TiN等の反射防止膜からなる複合層によって構成され、それぞれスパッタリング法やCVD法により堆積した後、エッチングにより加工される。

【0125】この後、図5(C)に示すように、第2層間絶縁膜8を成膜し、平坦化した後、第1メタル配線7上にビア9及び第2メタル配線10を形成する。ビア9及び第2メタル配線10はコンタクト6及び第1メタル配線7と同様な方法により形成される。

【0126】その後、図5(D)に示すように、第3層間絶縁膜11を形成した後、第2メタル配線10上に容量下部コンタクト12をコンタクト6と同様にタングステンプラグ等により形成する。この際、表面のタングステンの除去はCMP法により行うことが望ましい。後に形成されるセラミック薄膜容量30を完全に平坦な表面上に形成することができるからである。

【0127】この後、水素を含んだ雰囲気中でアニーリングを行う。アニール温度は300℃以上500℃以下が好ましい。300℃以下ではトランジスタ特性改善の効果が小さく、500℃以上ではメタル配線7、10の断線等を引き起こすおそれがあるからである。

【0128】以上の過程は、セラミック薄膜容量を有しない通常のLSIプロセスと同一である。セラミック薄膜容量を拡散層4に接続するための特別なプロセスの変更や追加は何ら行われていない。

【0129】次いで、第3層間絶縁膜11上に容量下部コンタクト12と接続するようにセラミック薄膜容量30を形成する。セラミック薄膜容量30は以下のような手順で形成される。

【0130】先ず、図6(E)に示すように、Pt, Ir, Ru等の貴金属またはIrO<sub>2</sub>, RuO<sub>2</sub>等の導電性酸化物からなる下部電極13をスパッタリング法その他の方法により、第3層間絶縁膜11上に形成する。

【0131】この場合、容量下部コンタクト12のタングステンと下部電極13のPt等の相互反応及び相互拡散を防止するため、TiN等からなるバリア膜をこれらの貴金属または導電性酸化物層の下に形成することが好ましい。

【0132】次いで、下部電極13の上にPb(Zr, Ti)O<sub>3</sub>(PZT), (Ba, Sr)TiO<sub>3</sub>(BST), SrTiO<sub>3</sub>(ST)等からなるセラミック薄膜14をCVD法等により形成する。

【0133】PZTを形成する場合、通常のゾル・ゲル法やスパッタリング法では、良好なPZT薄膜を得るには600℃以上での加熱が必要である。このような高温ではメタル配線の断線や高抵抗化を招き、本構造には適用できない。そのためCVD法のように、500℃程度の低温で成膜することが望ましい。

【0134】PZT薄膜はCVD法により350℃から500℃の温度範囲で、良好な膜を形成することができる。また、ST膜は、例えばインターナショナルエレクトロニクスミーティングテクニカルダイジェスト(International electronic devices meeting technical digest) 1994 pp. 831に述べられているように、ECR-CVD法により450℃で形成することができる。

【0135】上記のような方法で形成したセラミック薄膜14の上に、上部電極15を下部電極13と同様な方法により形成する。

【0136】その後、上部電極15、セラミック薄膜14及び下部電極13をエッチングにより加工する。このようにして、図6(E)に示すようなセラミック薄膜容量30が形成される。

【0137】さらに、セラミック薄膜容量30の上に第4層間絶縁膜16を形成した後、容量上部コンタクト17を開孔する。この後、図6(F)に示すように、プレート線34となる第3メタル配線18を第1、第2メタル配線7、10と同様に形成する。

【0138】第3メタル配線18はプレート線34としてのみ用いられており、他のロジック回路部では用いられていない。そのため、ロジック回路部においては、セラミック薄膜容量30を用いたメモリセルアレイ部を形成することによるデバイスの変更は全くない。この第3メタル配線18の上にSiON等からなるパッシベーション

膜(図示せず)が形成される。

【0139】プレート線34は、通常、セルアレイの末端においてプレート線駆動回路のインバータに接続される。以下、プレート線34として用いられる第3メタル配線18を拡散層4に接続する方法を図7及び図8を用いて説明する。

【0140】図7は、第3メタル配線18(プレート線34)を拡散層4に接続する構造の一例を示した断面図である。

【0141】図7に示すように、プレート線コンタクト19は、第4層間絶縁膜16を貫通し、第3層間絶縁膜11内において第2メタル配線10まで達している。第3メタル配線18は、プレート線コンタクト19において、第2メタル配線10に直接に接続され、ビア9、第1メタル配線7及びコンタクト6を介して拡散層4に接続されている。このような構造は以下のように製造することができる。

【0142】先ず、セラミック薄膜容量30上に第4層間絶縁膜16を形成した後、プレート線コンタクト19及び容量上部コンタクト17を開孔する。その後、第3メタル配線18を形成する。このようにして、上部電極15とのコンタクト及び第2メタル配線10とのコンタクトを同時に形成することができる。

【0143】図8は、第3メタル配線18(プレート線34)を拡散層4に接続する構造の他の例を示した断面図である。

【0144】図8に示すように、第4層間絶縁膜16には、第3層間絶縁膜11の表面に達するプレート線コンタクト19が形成されている。第3メタル配線18は、第2ビア20を介して、第2メタル配線10に接続され、ひいては、ビア9、第1メタル配線7及びコンタクト6を介して拡散層4に接続されている。このような構造は以下のように製造することができる。

【0145】容量下部コンタクト12を形成するとき、同時に第2ビア20を形成する。その後、セラミック薄膜容量30及び第4層間絶縁膜16を形成した後、プレート線コンタクト19を開孔する。その後、第3メタル配線18を形成する。このようにして、上部電極15とのコンタクト及び第2メタル配線10とのコンタクトを同時に形成することができる。

【0146】上記二つのような方法で第3メタル配線18と拡散層4との接続を形成すれば、セラミック薄膜容量30を形成した後にタングステンのCVDを用いる必要がなく、セラミック薄膜容量30の劣化が生じない。

【0147】本実施形態においては、多層メタル配線を形成した後にセラミック薄膜容量30を形成するという過程を採用しているので、セラミック薄膜容量30に起因する高低差のために、多層メタル配線の形成が妨げられることがない。

【0148】また、セラミック薄膜容量30の形成後に

タングステンプラグ構造やメタル配線と基板とのコンタクトを形成する必要がない。そのため、タングステン-CVD及び活性化熱処理によりセラミック薄膜容量素子が劣化することがない。

【0149】さらに、多層配線を形成した後であって、セラミック薄膜容量30の形成前に水素アニールを行うため、トランジスタのしきい値 $V_t$ のばらつきを低減できるとともに、セラミック薄膜容量素子の劣化を招かない。

【0150】また、本実施形態においては、多層メタル配線の形成と同時にセラミック薄膜容量30と選択トランジスタ31とを接続するプラグ配線を形成している。従って、セラミック薄膜容量30と選択トランジスタ31とを接続するためのプラグを別に設ける必要がなく、製造過程を簡略化することができるという利点も得られる。

【0151】上述の第一の実施形態は、本発明を2層メタル配線上にセラミック薄膜容量を形成する場合に適用した例であるが、本発明は、さらに多層のメタル配線を用いる場合についても適用することができる。そのような場合でも、本実施形態と全く同様な方法で、多層メタル配線を形成した後にセラミック薄膜容量を形成することができる。

【0152】上述の第一の実施形態では、第3メタル配線18は最上層のメタル配線となっているが、この上にさらに多層メタル配線を形成することもできる。

【0153】近年の大規模LSIにおいては、近接した素子間を結ぶ局所配線を下層のメタル配線により形成し、電源線等の広範囲に及ぶいわゆるグローバル配線を上層のメタル配線によって形成するといった多層メタル配線の構造が採用されている。そのような場合、上層のメタル配線においては、配線幅や配線間のスペースが下層のメタル配線に比べて大きくなっているのが一般的である。このため、上下層のメタル配線の間にセラミック薄膜容量を形成しても、それによって生じる段差が上層のメタル配線の形成に悪影響を及ぼさない。

【0154】さらに、上層のメタル配線をスパッタリング、めっき等の強い還元性雰囲気とならない方法で形成すれば、セラミック薄膜容量の劣化を招かない。

【0155】次に、本実施形態を強誘電体メモリに適用した場合の具体的な実施例を図4乃至図6を用いて説明する。

【0156】まず、ウェット酸化によりシリコン基板1上に酸化膜2を形成した。その後、ボロン、リン等の不純物をシリコン基板1にイオン注入し、n型及びp型のウェルを形成した。この後、ゲート3及び拡散層4を以下のように形成した。

【0157】まず、ゲート酸化膜をウェット酸化により形成した後、ゲート3となるポリシリコンを成膜し、エッチングした。このポリシリコン膜の上にシリコン酸化

膜を成膜した後、エッチングし、側壁酸化膜を形成した。

【0158】次に、ボロン、砒素等の不純物をイオン注入し、n型及びp型の拡散層4を形成した。

【0159】さらに、この上にTi膜を成膜した後、シリコンと反応させ、未反応のTiをエッチングにより除去することにより、Tiシリサイドをゲート3及び拡散層4に形成した。

【0160】以上の過程により、図4(A)に示すように、n型及びp型のMOS型トランジスタをシリコン基板1に形成した。

【0161】次に、第1メタル配線層7及び第2メタル配線層10を以下のように形成した。

【0162】まず、第1層間絶縁膜5としてシリコン酸化膜及びボロン等の不純物を含んだシリコン酸化膜(BPSG)をシリコン基板1上に成膜した後、CMP法により平坦化した。

【0163】次に、コンタクト6をエッチングにより開孔した後、n型及びp型それぞれの拡散層4に対して不純物を注入し、750℃で10秒間の熱処理を行った。その後、バリアメタルとしてTi及びTiNを成膜した。この上にタングステンをCVD法により成膜した後、CMP法により表面のタングステンを除去した。この後、第1メタル配線7として、AlCuをスパッタリングにより成膜し、エッチングにより加工した。

【0164】この第1メタル配線7の上に第2層間絶縁膜8としてシリコン酸化膜をCVD法により成膜した後、CMP法により平坦化した。ビア9はコンタクト6と同様の方法で形成し、第1メタル配線と同様の方法により、図5(C)に示すように、第2メタル配線10を形成した。

【0165】さらに、図5(D)に示すように、第3層間絶縁膜11を形成後、容量下部コンタクト12をコンタクト6と同様の方法で形成した。その後、水素5%、窒素95%の雰囲気の下で400℃の温度で20分間のアニールを行った。

【0166】次に、強誘電体容量30の形成方法を説明する。

【0167】まず、下部電極13として膜厚50nmのTiN及び膜厚100nmのPtをこの順にスパッタリング法により成膜した。Ptは300℃以上の温度でスパッタリングを行なうと、結晶性が向上するため好ましい。

【0168】この後、下部電極13上に強誘電体薄膜14としてPZTをCVD法により成膜した。

【0169】原料には、ビスジビバロイルメタナート鉛(Pb(DPM)<sub>2</sub>)、チタンイソプロポキシド(Ti(OiPr)<sub>4</sub>)、ジルコニウムブトキシド(Zr(OtBu)<sub>4</sub>)を用い、酸化剤としてNO<sub>2</sub>を用いた。

【0170】これらの有機金属原料と酸化剤は別々の供

給口より反応室内に供給した。成膜条件は、基板温度を400℃とし、成膜室内のガスの全圧は $5 \times 10^{-3}$  Torrとした。最初に、Pb (DPM)<sub>2</sub>を流量0.25 SCCM、Ti (OiPr)<sub>4</sub>を流量0.25 SCCM、NO<sub>2</sub>を流量3.0 SCCMの条件で40秒間成膜した。これによって、PbTiO<sub>3</sub>の微少な核結晶を下部電極13上に形成した。

【0171】この後、Pb (DPM)<sub>2</sub>を流量0.25 SCCM、Zr (OtBu)<sub>4</sub>を流量0.225 SCCM、Ti (OiPr)<sub>4</sub>を流量0.25 SCCM、NO<sub>2</sub>を流量3.0 SCCMの条件で600秒間成膜し、膜厚100nmのPZT膜14を得た。

【0172】この後、酸素100%の雰囲気の下で400℃の温度で10分間のアニールを行なった。上部電極15を形成する前にアニールを行なうことにより、PZT容量の電気的特性を向上させることができる。

【0173】PZT膜14の上に上部電極15として膜厚50nmのIrO<sub>2</sub>及び膜厚100nmのIrをこの順にスパッタリング法により成膜した。

【0174】この後、上部電極15、PZT膜14及び下部電極13をエッチングにより加工し、さらに、酸素100%の雰囲気の下で400℃の温度で10分間のアニールを行い、PZT容量30とした。

【0175】上部電極15を形成した後にさらにアニールを行なうと、PZT容量30の電界の印加方向依存性が小さくなり、対称なヒステリシス特性を得ることができる。

【0176】第4層間絶縁膜16としてシリコン酸化膜をO<sub>3</sub>TEOS-CVDにより形成した後、容量上部コンタクト17及びプレート線コンタクト19をエッチングにより開孔した。

【0177】次いで、エッチングによるPZT容量30の劣化を回復するため、窒素雰囲気の下で400℃の温度で10分間アニールを行なった。

【0178】第3メタル配線18としてWSi、TiN、AlCu、TiNをこの順にスパッタリングにより成膜した後、エッチングにより加工した。

【0179】この上にパッシベーション膜（図示せず）としてプラズマCVDによりシリコン酸化膜及びSiON膜を形成した後、さらに、ポリイミド膜を形成した。この後、配線パッド部を開孔し、電気的特性の評価を行った。その結果を以下に示す。

【0180】1μm角のPZT容量を5000個並列に接続し、その特性を測定したところ、反転と非反転電荷の差として10μC/cm<sup>2</sup>以上の値が得られ、良好な強誘電体特性を示した。疲労特性及び保持特性等も良好であった。

【0181】また、ゲート長0.26μmのトランジスタにおける特性を評価したところ、p型、n型ともにしきい値V<sub>t</sub>のばらつきはウェハー全面で10%以下であ

り、良好であった。

【0182】さらに、0.4μm角の容量下部コンタクト12を介して接続された下部電極13と第2メタル配線10との間の抵抗をコンタクト・チェーンにより測定したところ、コンタクト1個あたりの抵抗は10Ω以下であり、良好であった。

【0183】（第二の実施形態）次に、本発明の第二の実施形態を図9及び図10を用いて説明する。図9は本実施形態に係る強誘電体メモリまたはDRAMのメモリセルの断面図であり、図10はプレート線がその末端部において第2メタル配線と接続する部分の断面図である。

【0184】本実施形態においては、第一の実施形態とは異なり、セラミック薄膜容量30の上部電極15はセラミック薄膜14及び下部電極13よりも小さい面積を有している。セラミック薄膜容量30をこのような構造とすることにより、セラミック薄膜14及び下部電極13のエッチング不良により、上部電極15と下部電極13が容量側壁部で短絡するという不良を防止することができる。

【0185】また、第3メタル配線18は下部電極13及び容量下部コンタクト12を介して第2メタル配線10と接続している。このような構造とすることにより、容量上部コンタクト17とプレート線コンタクト19はほぼ同じ深さとなり、それらを同時に形成することが容易になる。また、第3メタル配線18を接続する対象の上部電極15と下部電極13とは同種の導電体を用いることができるため、それぞれに対するコンタクト抵抗を制御しやすいという利点もある。

【0186】次に、本実施形態に係るメモリの製造方法を説明する。

【0187】セラミック薄膜14の上に上部電極15を形成するまでの過程は第一の実施形態の場合と全く同様である。その後、上部電極15をエッチングにより加工する。この際、図10に示したプレート線コンタクト19の領域では、上部電極はエッチングにより除去される。この後、第4層間絶縁膜16を形成し、さらに、容量上部コンタクト17とプレート線コンタクト19を開孔した後に、第3メタル配線18を形成する。

【0188】（第三の実施形態）次に、図11乃至図14を参照して、本発明の第三の実施形態に係る強誘電体メモリまたはDRAMを説明する。図11は本実施形態に係る強誘電体メモリまたはDRAMのメモリセルを示した平面図である。なお、第1メタル配線よりも下方の構造は図1(A)に示した構造と同一である。図12は図11のB-B線における断面図である。図13及び図14は、プレート線をその末端部において第2メタル配線と接続する部分の断面図である。

【0189】第三の実施形態は、メタル配線とビアとを接続したプラグ構造によりセラミック薄膜容量を拡散層

に電氣的に接続している点については第一の実施形態と同様であるが、セラミック薄膜容量の構造及びその製造方法が第一の実施形態とは異なっている。

【0190】本実施形態におけるセラミック薄膜容量30は、図12に示すように、第3層間絶縁膜11上に間隔をあけて形成された複数の下部電極13と、第3層間絶縁膜11と下部電極13の双方の全面を覆うセラミック薄膜14と、下部電極13の少なくとも一部を覆うようにセラミック薄膜14上に形成されている上部電極15とからなっている。上部電極15は図3におけるプレート線34を兼ねている。

【0191】セラミック薄膜容量30をこのような構造とすることにより、セラミック薄膜容量30上にプレート線34とのコンタクトを形成する必要がなくなるため、セラミック薄膜容量の構造が単純化され、デバイスの微細化を容易に行うことができる。

【0192】また、下部電極13を直方体や筒型等の立体的な形状とすることにより、セルの面積を増加させることなく、セラミック薄膜容量30の実効面積を増加させることもできる。

【0193】次に本実施形態に係るメモリの製造方法を説明する。

【0194】セラミック薄膜容量30以外の構造についての製造方法は第一の実施形態において述べた方法と同様である。このため、セラミック薄膜容量30の製造方法のみを以下に述べる。

【0195】容量下部コンタクト12を形成した後に、第3層間絶縁膜11上に下部電極13をスパッタリング法等により成膜し、エッチングにより加工する。良好なセラミック薄膜14を得るには、加工した下部電極13の表面をエッチング残さ等がない清浄な状態にする必要がある。そのため、エッチング後に、有機溶媒等により下部電極13の表面を洗浄処理することが望ましい。下部電極13の上に、CVD法等によりPZT、BST等のセラミック薄膜14を形成する。

【0196】図13に示したように、プレート線34として機能する上部電極15を第2メタル配線10と接続させる場合には、セラミック薄膜14の形成後、プレート線コンタクト19を開孔する。

【0197】図13においては、プレート線コンタクト19はセラミック薄膜14を突き抜けて第3層間絶縁膜11の内部に達しているが、セラミック薄膜14は第3層間絶縁膜11と同条件ではエッチングできない場合がある。そのような場合は、プレート線コンタクト19の周辺部のセラミック薄膜14を、予めエッチングにより除去することが望ましい。

【0198】次いで、上部電極15をスパッタリング法等により成膜した後、エッチングにより加工し、セラミック薄膜容量30及びプレート線34が形成される。この上にパッシベーション膜（図示せず）を形成する。

【0199】図14に示したように、上部電極15を下部電極13を介して第2メタル配線10と接続させることもできる。この場合は、セラミック薄膜14を形成した後、プレート線コンタクト19を開孔し、その上に上部電極15を成膜した後、エッチングにより加工する。

【0200】上述した2種類の方法では、ともに、上部電極15を形成する前に、セラミック薄膜14をエッチングする必要がある。しかしながら、特に、強誘電体メモリの場合、電極と強誘電体膜の界面は容量の電氣的特性に大きく影響する。そのため、セラミック薄膜14をエッチングした後にレジストを剥離する方法としては、アッシングではなく、有機溶媒で剥離する方法がセラミック薄膜14にダメージを与えないため、好ましい。

【0201】また、レジストを容易に剥離するため、プレート線コンタクト19もウェットエッチングにより開孔することが好ましい。

【0202】このような方法によらずに、第一の実施形態と同様に、第3メタル配線18を介して上部電極15を第2メタル配線10と接続させることも可能である。

【0203】本実施形態においては、下部電極13を加工した後にセラミック薄膜14を形成するため、セラミック薄膜14とその下の第3層間絶縁膜11が反応したり、セラミック薄膜14を構成する元素が第3層間絶縁膜11中に拡散する等の好ましくない影響が出るおそれがある。そのような場合には、第3層間絶縁膜11上に拡散バリア膜（図示せず）を設けることが好ましい。拡散バリア膜としては、 $TaO_2$ 、 $TiO_2$ 、 $ZrO_2$ 等の絶縁性の金属酸化物がセラミック薄膜14との密着性が良いため、好ましい。

【0204】また、本実施形態においては、上部電極15をプレート線34として使用するため、上部電極15の材料によっては、プレート線34の抵抗が高くなるおそれがある。特に、強誘電体メモリにおいては、メモリの書き込み・読み出しのためにプレート線を駆動することが一般的であるため、プレート線34を十分に低抵抗にする必要がある。このような場合は、図15

(B)に示したように、プレート裏打ち配線23（プレート線34の直下にあるため、図15(B)には表れていない）を用いれば良い。プレート裏打ち配線23は、低抵抗のメタルから形成することができるため、プレート線34の抵抗を十分に低くすることができる。

【0205】次に、本実施形態を強誘電体メモリに適用した場合の具体的な実施例を図12を用いて説明する。

【0206】強誘電体容量30の形成よりも前の製造過程は、第一の実施形態の実施例の場合と同様である。

【0207】第3層間絶縁膜11の上に、PZT容量を、以下の方法により製作した。

【0208】まず、下部電極13として、厚さ50nmのTiN、厚さ50nmのPt、厚さ50nmのIrをこの順にスパッタリングにより成膜した。この上にレジ



ストを塗布した後、パターンニングし、ArとCl<sub>2</sub>を反応ガスとして下部電極13をエッチングした。その後、アッシングによりレジストを除去し、さらに、ジメチルスルホキシドと水の混合溶液により洗浄処理した。

【0209】この上に、厚さ200nmのPZT薄膜14を、第一の実施形態の実施例の場合と同様に成膜した。ただし、PZTの成膜時間を1200秒とした。

【0210】次いで、PZT薄膜14の上にレジストを塗布・パターンニングした後、PZT膜14をフッ硝酸によりウェットエッチングし、プレート線コンタクト19を形成した。

【0211】この後、レジストを有機溶媒により剥離し、酸素100%の雰囲気の下で400℃の温度で10分間のアニールを行なった。

【0212】次いで、PZT膜14の上に上部電極15として膜厚50nmのIrO<sub>2</sub>及び膜厚100nmのIrをこの順にスパッタリング法により成膜した。

【0213】この後、酸素100%の雰囲気の下で400℃の温度で10分間のアニールを行い、PZT容量30とした。

【0214】第4層間絶縁膜16としてシリコン酸化膜をO<sub>3</sub>TEOS-CVDにより形成した。この上にパッシベーション膜（図示せず）としてプラズマCVDによりSiON膜を形成した後、さらにポリイミド膜を形成した。最後に、配線パッド部を開孔した。

【0215】上記の方法により、図3に示したメモリセルを約1万6千個集積したセルアレイと、センスアンプ、デコーダ等を備える強誘電体メモリを製作した。この強誘電体メモリは、電源電圧2.5V、サイクル時間100ns以下で動作することを確認した。

【0216】（第四の実施形態）次に、本発明の第四の実施形態に係る強誘電体メモリまたはDRAMを図15及び図16を参照して説明する。図15（A）は第2メタル配線を形成した後までのメモリセルの平面図であり、図15（B）は拡散層4以外の第1メタル配線7以前に形成したデバイスを省略した平面図である。図16は図15（A）のC-C線における断面図である。

【0217】本実施形態では、セラミック薄膜容量30を拡散層4に接続するプラグにおけるメタル配線とビアの構造が第一の実施形態とは異なっている。すなわち、第一の実施形態ではビア9の直上に容量下部コンタクト12が形成されているが、本実施形態では、図16に示すように、ビア9と容量下部コンタクト12は第2メタル配線10の長さ方向において一定の間隔をあけて配置されている。すなわち、容量下部コンタクト12はビア9の直上には形成されていない。

【0218】ビア9及び第2メタル配線10の形成プロセスによっては、ビア9上の第2メタル配線10にへこみ等が生じることがある。このようにへこみが生じた平坦でない第2メタル配線10上に容量下部コンタクト1

2や第2ビア20等を形成すると、良好な電氣的接続が得られないおそれがある。このため、このような場合には、本実施形態のように、ビア9の直上ではなく、ビア9から一定の間隔だけ離れた位置に容量下部コンタクト12等を形成することが望ましい。

【0219】また、図16に示したように、容量下部コンタクト12はセラミック薄膜容量30の中央に位置していない。また、セラミック薄膜容量30と第3メタル配線18とを接続している容量上部コンタクト17は容量下部コンタクト12の直上に配置されていない。容量下部コンタクト12及び容量上部コンタクト17をこのように配置することにより、容量下部コンタクト12上にへこみ等が生じても、セラミック薄膜容量30の特性に悪影響を与えることはない。さらには、第3メタル配線18と上部電極15との間の電氣的接続にも悪影響を与えることはない。また、セル面積を増加させることもない。

【0220】本実施形態に係るメモリは第一の実施形態に係るメモリと同様な方法により製造することができる。

【0221】（第五の実施形態）次に、本発明の第五の実施形態に係る強誘電体メモリまたはDRAMを図17及び図18を参照して説明する。図17は本実施形態に係る強誘電体メモリまたはDRAMのメモリセルを示した平面図であり、第2コンタクト21より下方の構造を示したものである。第2コンタクト21よりも上方の構造は図1（B）に示した構造と同様である。図18は図17のD-D線における断面図である。

【0222】本実施形態においては、セラミック薄膜容量30と拡散層4とを接続するプラグにおいて、セラミック薄膜容量30と第1メタル配線7とを接続せずに、第2コンタクト21を介して第2メタル配線10と拡散層4とを直接に接続している。

【0223】第一の実施形態では、セラミック薄膜容量30と拡散層4とを接続する容量プラグとビット線の両方に第1メタル配線7が用いられているため、容量プラグとビット線とは第1メタル配線7がエッチングにより加工可能な間隔で離れている必要がある。これに対して、本実施形態では、セル内において第1メタル配線7はビット線35としてのみ用いられているため、容量プラグとビット線とが上記のような間隔で離れている必要がなく、従って、セル面積を縮小させることが可能である。

【0224】次に、本実施形態にかかるメモリの製造方法を説明する。

【0225】先ず、第一の実施形態と同様に第1メタル配線7及び第2層間絶縁膜8までを形成する。ただし、容量を接続するためのコンタクトは形成しない。次に、第2コンタクト21をエッチングにより開孔する。この後、Ti、TiN等のバリアメタルを形成するが、第2

コンタクト21は特にアスペクト比が大きくなるため、  
 コリメータ・スパッタリングやCVD法のように埋め込  
 み性の良い成膜法により成膜することが望ましい。

【0226】次に、コンタクト6を形成する場合と同様  
 に、タングステンプラグを形成する。第2コンタクト2  
 1と他の多層メタル配線におけるビアを同時に形成す  
 ることもできる。このようにして形成した第2コンタクト  
 21の上に第2メタル配線10を形成する。以降の工程  
 は、第一の実施形態と同様である。

【0227】(第六の実施形態)次に本発明の第六の実  
 施形態に係る強誘電体メモリまたはDRAMを図19を  
 参照して説明する。

【0228】本実施形態に係るメモリセルは、セラミッ  
 ク薄膜容量30と拡散層4とを接続するプラグにおい  
 て、セラミック薄膜容量30と第1メタル配線7とを接  
 続しないことは第五の実施形態と同様であるが、図19  
 に示したように、第2メタル配線10はビア9とコンタ  
 クト6を介して拡散層4に接続している。

【0229】本実施形態においても、第五の実施形態と  
 同様に、セル内において第1メタル配線7はビット線3  
 5としてのみ用いられているため、セル面積を縮小さ  
 せることが可能である。しかも、第五の実施形態とは異  
 なり第2コンタクト21を用いていないため、製造過程を  
 簡略化することができる。

【0230】次に、本実施形態に係るメモリの製造方法  
 を説明する。

【0231】第一の実施形態と同様に第1層間絶縁膜5  
 までを形成する。次に、第1メタル配線7を形成する  
 が、容量プラグの第1メタル配線7は形成しない(すな  
 わち、図19に示すように、拡散層4上には第1メタル  
 配線7は形成しない)。

【0232】次いで、第1層間絶縁膜5及び第1メタル  
 配線7の上に、第2層間絶縁膜8を形成後、ビア9をエ  
 ッチングにより開孔する。

【0233】メモリセル以外の多層メタル配線におい  
 ては、第2層間絶縁膜8は第1メタル配線7までしかエ  
 ッチングされないが、メモリセルでは第1層間絶縁膜5  
 までオーバーエッチングされる。

【0234】次に、コンタクト6を形成する場合と同様  
 に、タングステンプラグを形成する。このようにして形  
 成したビア9の上に第2メタル配線10を形成する。以  
 降の工程は、第一の実施形態と同様である。

【0235】(第七の実施形態)次に、本発明の第七の  
 実施形態に係る強誘電体メモリまたはDRAMを図20  
 乃至図23を参照して説明する。図20は本実施形態に  
 おける強誘電体メモリまたはDRAMのメモリセルを示  
 した平面図であり、第1メタル配線よりも下方の構造を  
 示している。図21は図20のE-E線における断面図  
 である。

【0236】本実施形態では、ビット線35としてシリ

サイド配線22を用いており、第1メタル配線7はセラ  
 ミック薄膜容量30と拡散層4とを接続するプラグにお  
 いてのみ用いている。このため、第五の実施形態と同様  
 に、セル面積を縮小させることが可能である。

【0237】また、本実施形態では、第1メタル配線7  
 と第2メタル配線10をワード線33の裏打ち配線とし  
 て用いている。

【0238】図22は裏打ち配線とワード線33の接続  
 を示す回路図であり、図23は第1メタル配線7とワー  
 ド線33の接続部の平面図である。

【0239】ワード線33は主にポリシリコンからなる  
 ため、抵抗が高い。そのため、ワード線33に低抵抗の  
 メタル配線を裏打ちし、ワード線33の抵抗を下げるこ  
 とが一般に行われている。このような裏打ち配線は、通  
 常、1層のメタル配線を用いている。これに対して、本  
 実施形態においては、2層のメタル配線を裏打ち配線と  
 して用いることにより、セル面積を増加させることな  
 く、ワード線33の裏打ちを行なっている。

【0240】さらに、図22に示したように、ワード線  
 33につながるアレイを2分割し、裏打ちするメタル配  
 線を分割したアレイで対称な構造とすることにより、雑  
 音を低減している。

【0241】次に、本実施形態に係るメモリの製造方法  
 を説明する。

【0242】まず、第一の実施形態の場合と同様に、シ  
 リコン基板1上にトランジスタ部を形成する。層間絶縁  
 膜(図示せず)を形成した後、コンタクト6を開孔し、  
 WS<sub>i</sub>等でシリサイド配線22を形成する。この層間絶  
 縁膜上に第1層間絶縁膜5を形成し、その後、第2コン  
 タクト21を拡散層4上に開孔する。以降の過程は第一  
 の実施形態と同様である。

【0243】

【発明の効果】以上説明したように、本発明によれば、  
 セラミック薄膜容量が、多層メタル配線の形成と同時に  
 形成されたビアとメタル配線とを積層した構造からなる  
 プラグを介して拡散層と接続される。このため、このよ  
 うな基本構成に基づき、容易に多層メタル配線を形成す  
 ることができ、かつ、容量素子の劣化も生じないセラミ  
 ック薄膜容量を用いた半導体装置を提供することができ  
 る。

【0244】その理由は、多層メタル配線形成後にセラ  
 ミック薄膜容量を形成するため、該セラミック薄膜容量  
 による高低差のために、多層メタル配線の形成が妨げら  
 れることがないからである。

【0245】さらに、セラミック薄膜容量形成後にメタ  
 ル配線と基板との間のコンタクトの形成や、タングステ  
 ンプラグによるビアの形成の必要がないため、セラミッ  
 ク薄膜容量の劣化がない。

【0246】また、多層メタル配線を形成後、かつ、セ  
 ラミック薄膜容量を形成する前に、水素アニールを行う

ことにより、トランジスタの劣化を低減することができる。

【0247】また、本発明によれば、セラミック薄膜容量を用いたメモリと大規模な論理回路とを低コストで同一チップ上に混載した半導体装置が提供される。論理回路部のプロセス・デバイスを何ら変更することなくセラミック薄膜容量を形成できるため、既存の設計パラメータを使用できるからである。

#### 【図面の簡単な説明】

【図1】図1(A)及び(B)は本発明の第1の実施形態に係るメモリセルを示す平面図である。

【図2】図1(A)のA-A線に沿った断面図である。

【図3】図1に示した第1の実施形態に係るメモリの回路図である。

【図4】本発明の第1の実施形態に係るメモリの製造方法を示す断面図である。

【図5】本発明の第1の実施形態に係るメモリの製造方法を示す断面図である。

【図6】本発明の第1の実施形態に係るメモリの製造方法を示す断面図である。

【図7】本発明の第1の実施形態に係るメモリにおけるプレート線の末端部の構造の一例を示す断面図である。

【図8】本発明の第1の実施形態に係るメモリにおけるプレート線の末端部の構造の他の例を示す断面図である。

【図9】本発明の第2の実施形態に係るメモリの断面図である。

【図10】本発明の第2の実施形態に係るメモリにおけるプレート線の末端部の構造の一例を示す断面図である。

【図11】本発明の第3の実施形態に係るメモリを示す平面図である。

【図12】図11のB-B線における断面図である。

【図13】本発明の第3の実施形態に係るメモリにおけるプレート線の末端部の構造の一例を示す断面図である。

【図14】本発明の第3の実施形態に係るメモリにおけるプレート線の末端部の構造の他の例を示す断面図である。

【図15】図15(A)及び(B)は本発明の第4の実施形態に係るメモリを示す平面図である。

【図16】図15(A)のC-C線における断面図である。

【図17】本発明の第5の実施形態に係るメモリを示す平面図である。

【図18】図17のD-D線における断面図である。

【図19】本発明の第6の実施形態に係るメモリを示す断面図である。

【図20】本発明の第7の実施形態に係るメモリを示す平面図である。

【図21】図20のE-E線における断面図である。

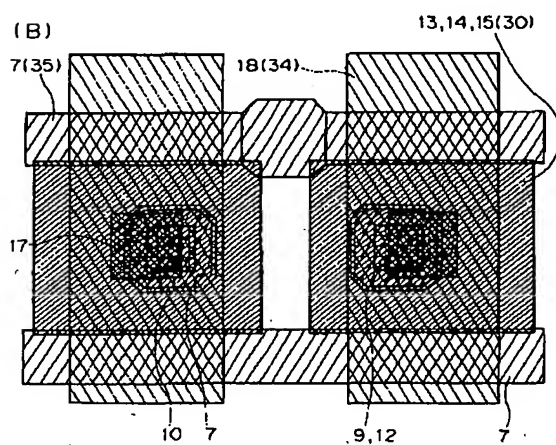
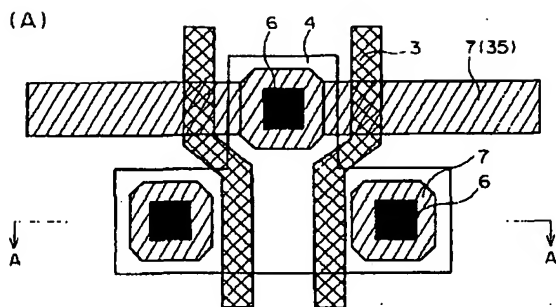
【図22】本発明の第7の実施形態に係るメモリの回路ブロック図である。

【図23】本発明の第7の実施形態に係るメモリのワード線とワード線裏打ち配線である第1メタル配線との接続部を示す平面図である。

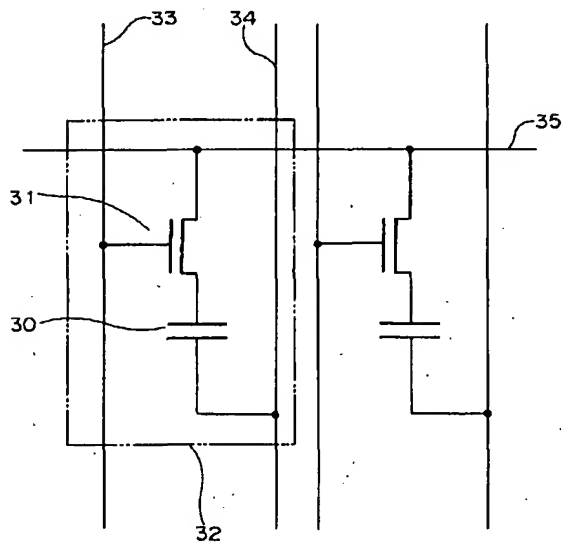
#### 【符号の説明】

- 1 シリコン基板
- 2 シリコン酸化膜
- 3 ゲート
- 4 拡散層
- 5 第1層間絶縁膜
- 6 コンタクト
- 7 第1メタル配線
- 8 第2層間絶縁膜
- 9 ビア
- 10 第2メタル配線
- 11 第3層間絶縁膜
- 12 容量下部コンタクト
- 13 下部電極
- 14 セラミック薄膜
- 15 上部電極
- 16 第4層間絶縁膜
- 17 容量上部コンタクト
- 18 第3メタル配線
- 19 プレート線コンタクト
- 20 第2ビア
- 21 第2コンタクト
- 22 シリサイド配線
- 30 セラミック薄膜容量
- 31 選択トランジスタ
- 32 メモリセル
- 33 ワード線
- 34 プレート線
- 35 ビット線

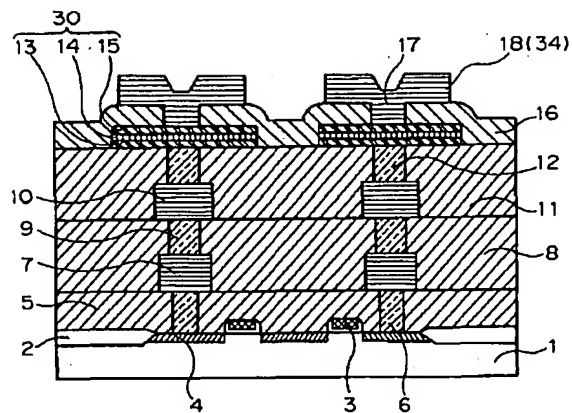
【図1】



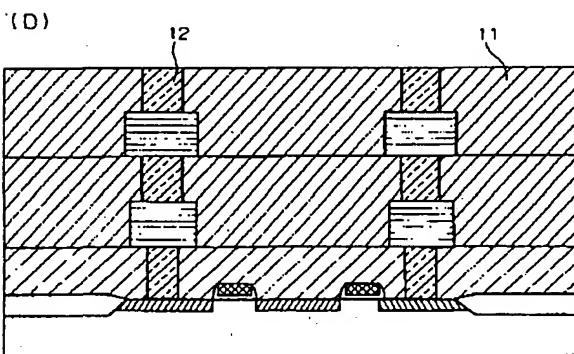
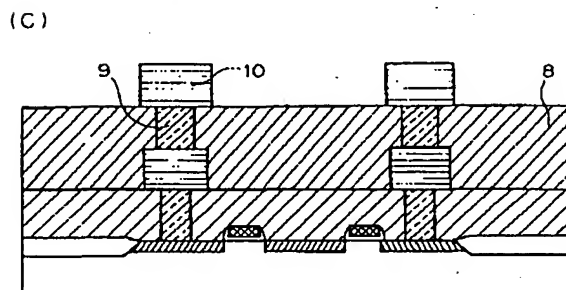
【図3】



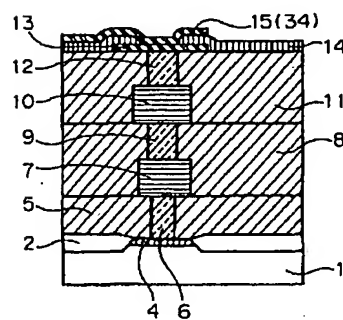
【図2】



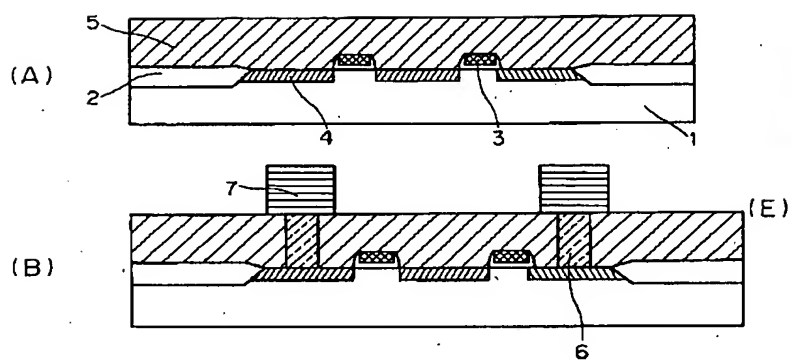
【図5】



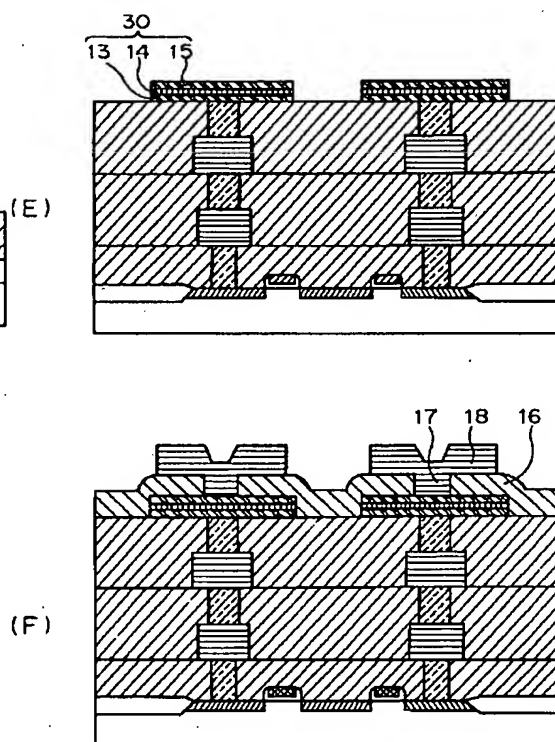
【図14】



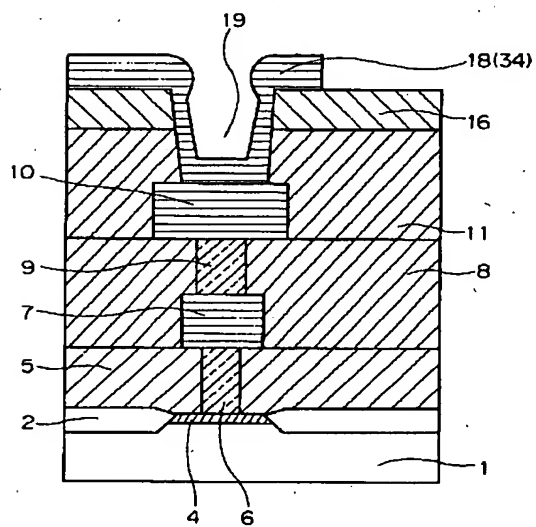
【図 4】



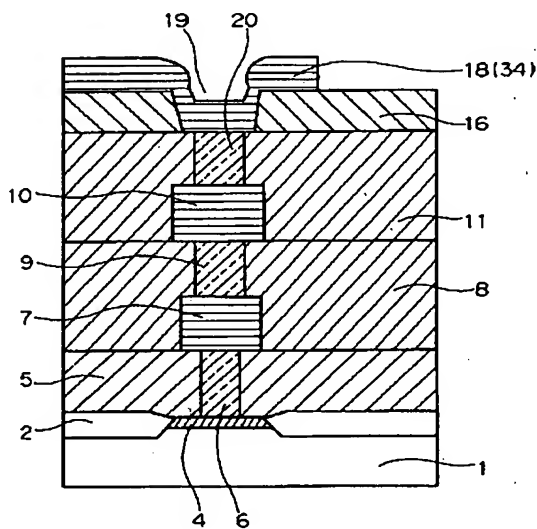
【図 6】



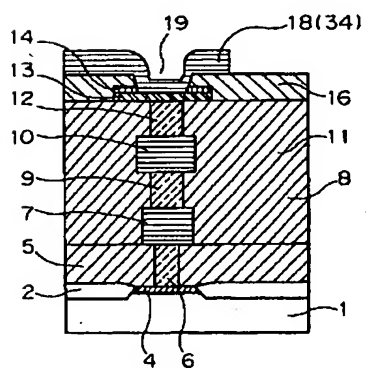
【図 7】



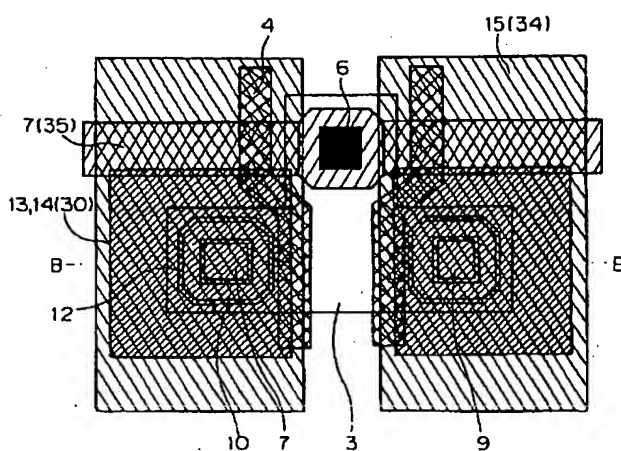
【図 8】



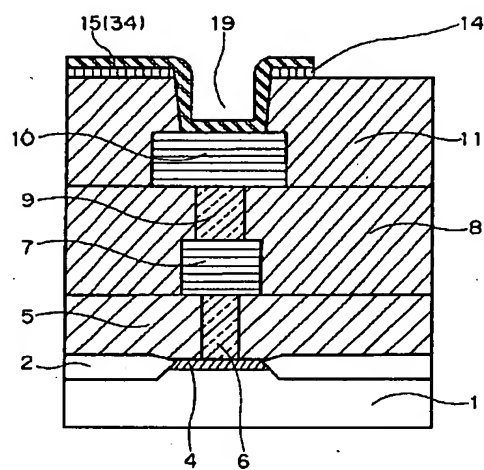
【図 10】



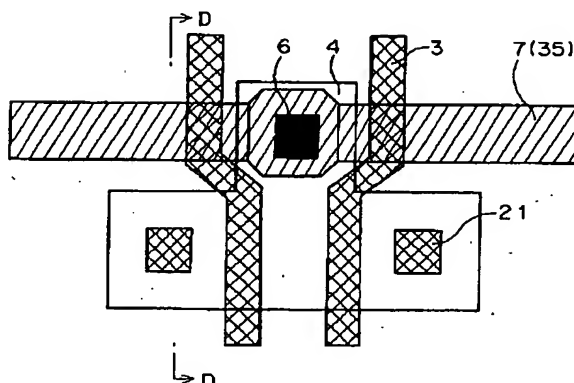
【图 1 1】



【图 13】

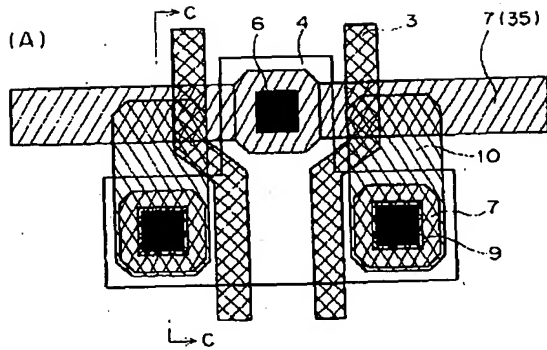


【図 17】

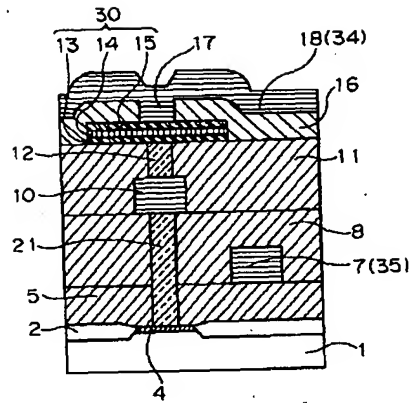




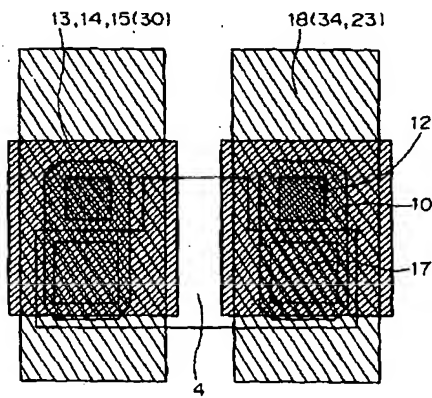
【図15】



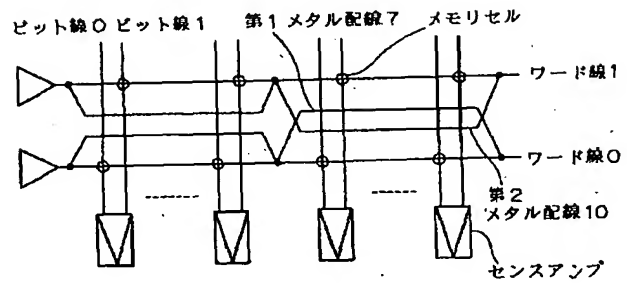
【図18】



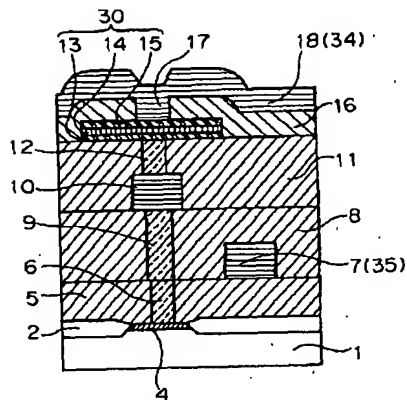
(B)



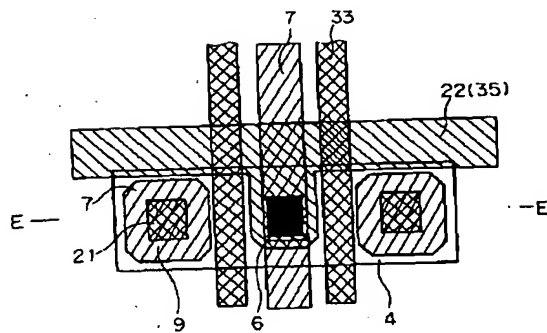
【図22】



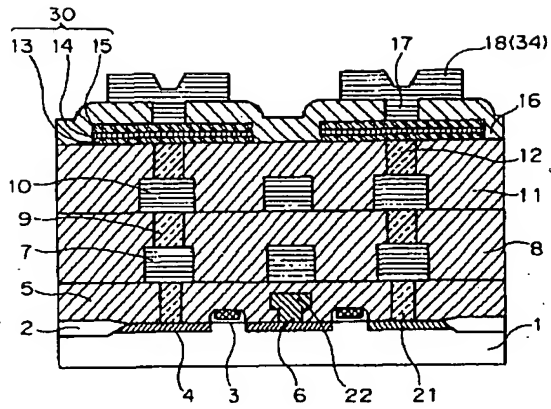
【図19】



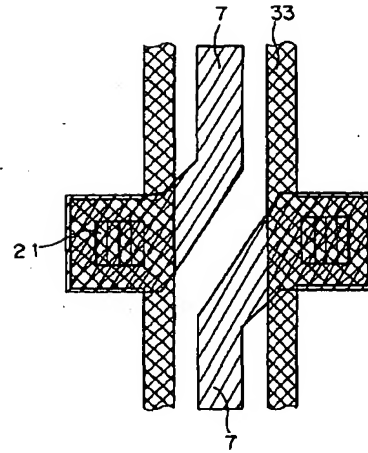
【図20】



【図21】



【図23】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H O I L 21/8247

29/788

29/792